

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05283515
PUBLICATION DATE : 29-10-93

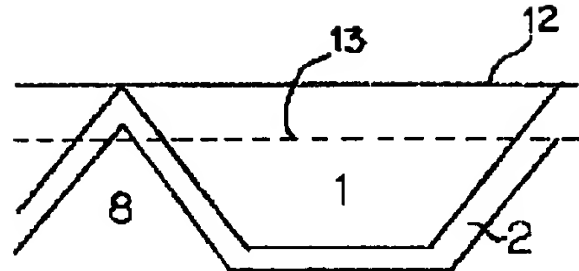
APPLICATION DATE : 31-03-92
APPLICATION NUMBER : 04077104

APPLICANT : NEC KANSAI LTD;

INVENTOR : MATSUURA TATSUO;

INT.CL. : H01L 21/76 H01L 21/3205

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent the breakage of aluminum wirings at steps and uniform the silicon island size in the manufacture of an IC using silicon oxide films for dielectric isolation.

CONSTITUTION: Soft polishing cloth with a long nap is used to prevent an isolation oxide film 2 from being shaven in mirror polishing for isolating islands. The use of mechanical polishing is minimized; the use of chemical polishing is increased instead. Thus the isolation oxide film 2 higher than silicon islands 1 and polysilicon 8 is left after mirror polishing; therefore, steps in a field oxide film is relieved, preventing the breakage of aluminum wirings at steps. Since the polishing amount is determined by chemical polishing, the surface of a wafer is evenly polished, which improves the unevenness of the size of silicon islands.

COPYRIGHT: (C)1993,JPO&Japio



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-283515

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76 21/3205	D	9169-4M 7735-4M	H 0 1 L 21/88	N

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平4-77104

(22) 出願日 平成4年(1992)3月31日

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 松浦 龍夫

滋賀県大津市晴嵐2丁目9番1号関西日本
電気株式会社内

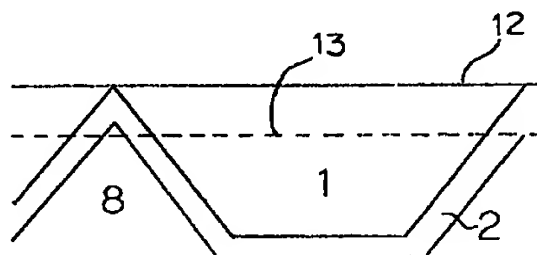
(54) 【発明の名称】 半導体装置製造方法

(57) 【要約】

【目的】 シリコン酸化膜により絶縁分離を行う I C において、アルミ配線の段切れを防ぎ、シリコンアイランドサイズを均一に作ることを目的とする。

【構成】 分離酸化膜 2 がアイランド分離の際のミラーポリッシング時に削られるのを防ぐために毛先の長く柔らかい研磨用クロスを用いることにより、機械的研磨を極力おさえ、ケミカル研磨を進める。

【効果】 ミラーポリッシング時に分離酸化膜 2 がシリコンアイランド 1 やポリシリコン 8 より高く残されるため、フィールド酸化膜の段差が緩和されアルミ配線の断切れを防ぐことができる。また、ケミカル研磨によりポリッシュ量が決められるため、ウェーハ面内が均一にポリッシュされ、シリコンアイランドのしサイズのばらつきが改善される。



【特許請求の範囲】

【請求項1】 (1) 単結晶シリコン基板の一方の面にシリコンアイランドとなる部分を囲んで溝を形成し、

(2) 前記単結晶シリコン基板の表面及び前記溝の側面及び底面に分離酸化膜を形成し、その分離酸化膜上にポリシリコンを成長して溝を埋め、

(3) 単結晶シリコン基板の他方の面側から、前記溝の底面近くまで除去を行い、

(4) ミラーポリッシング仕上げを行って、分離されたシリコンアイランドを有する誘電体分離ウェーハの製造方法において、前記ミラーポリッシングの条件を分離酸化膜の表面が、前記アイランド部の表面より0.1～0.5 μm 突出する条件としたことを特徴とする半導体装置製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法に関し、特に高耐圧を要求されるシリコン酸化膜による誘電体分離構造を有するシリコンアイランド形成方法に関する。

【0002】

【従来の技術】 シリコン酸化膜による誘電体分離構造を有する半導体ICは、図5に断面図として示す様に、N型のシリコンアイランドからなる活性領域1にP型5あるいはN型6の不純物を拡散し、トランジスタ、ダイオード等の素子を形成し、そのまわりは分離酸化膜2で絶縁分離されており、さらにシリコンアイランド1間はポリシリコン8により支持されている。またシリコンアイランド間はアルミ配線4により回路が構成される。

【0003】 更に製造方法を伴って構造を説明する。

【0004】 (1) <100>結晶軸のシリコンウェーハ10を酸化膜9をマスクにアルカリ異方性エッチングを行いV溝を形成する。(図6参照)

(2) 次にエッチングした表面に、分離酸化膜2を形成し、ポリシリコン8をその上に成長させて、V溝を埋め、支持基板を形成する。支持基板は、そのままポリシリコンを厚く成長させたり、あるいはシリコンウェーハを貼り付けたりして形成する。(図7参照)

(3) 次に表裏を逆にして、単結晶シリコン基板側から、分離酸化膜近くまで研削し、更に、研削の歪・欠陥を除去するため、ミラーポリッシングを行い、シリコンアイランド1を形成する。(図1, 2参照)

(4) 次に高耐圧化のため、シリコンアイランドに厚い(2 μm 程度)のフィールド酸化膜3を形成した後で各シリコンアイランドにP型あるいはN型の不純物拡散5, 6を行い、トランジスタ、ダイオード等の素子を形成する。(図5参照)

(5) 次に各素子間にアルミ配線4を行い回路を構成し、必要に応じて、表面にパッシベーション7を施すことにより誘電体分離構造を有するICウェーハが完成す

る。(図5参照)

ところで上記の従来の分離酸化膜2は、ミラーポリッシング工程で堅い材質の多孔質クロス11により高圧力をかけてポリッシングしていた(図8参照)ため、分離酸化膜2もシリコンアイランド1あるいはポリシリコン8と同じ高さまで削られてしまう。(図5参照) この状態でフィールド酸化膜3を形成すると、分離酸化膜2の部分には酸化膜は殆ど成長しないため、この部分の段差が大きくなり、アルミ配線4を施した際に断線し易いという問題があった。(図5参照)

またポリッシング時に高圧力をかけなければ削れないため、ウェーハの面内で圧力がばらつくと、ポリッシング量に差が出るため、シリコンアイランドの大きさがばらつくという問題があった。(図4参照)

断線面の防止のためにミラーポリッシング工程で分離酸化膜、シリコンアイランド、ポリシリコンを同じ高さに削った後にシリコンをエッチングし、酸化膜をエッチングしない条件で軽くエッチングして、分離酸化膜2を凸に高くすることも行われている。(図9)

このような誘電体分離構造のウェーハを用いたICについて製法を伴って説明する。

【0005】 (1) 高耐圧のために3 μm 近いフィールド酸化膜3を成長させる。この時、シリコンアイランド1及びポリシリコン8上は、酸化膜が成長するが分離酸化膜2上は、シリコンの供給がないため、殆ど酸化膜は成長しない。しかし、分離酸化膜は、あらかじめ凸に高く残されているため、フィールド酸化膜との段差は、そのぶん緩和されることとなる。

【0006】 (2) その後、シリコンアイランド1にP型5あるいはN型6の不純物を拡散し、トランジスタ、ダイオード等を形成する。(図11参照)

(3) その後、各素子間をアルミ配線4により接続し、回路を構成する。この時配線のアルミは、段差の大きい分離酸化膜上2を通るが、段差が緩和されているため、断線を起こしにくくなっている。(図12参照)

(4) 最後に表面にパッシベーション膜7を形成する。(図13参照)

このようにすれば、段差が緩和され断線を防止するもののエッチング工程を追加する必要がありコストアップの原因となる。

【発明が解決しようとする課題】 そこで本発明は、エッチング工程を追加することなく分離酸化膜部の段差を緩和してA1配線の断線を防ぎ、かつシリコンアイランドの面内ばらつきを小さくできる誘電体分離構造を有するICウェーハを提供することを目的とする。

【0007】

【課題を解決するための手段】 単結晶シリコン基板の一方の面にシリコンアイランドとなる部分を囲んで溝を形成し、その基板表面及び溝の側面及び底面に分離酸化膜を形成し、その分離酸化膜上にポリシリコンを成長して

溝を埋め、その後前記単結晶シリコン基板を他方の面より前記溝の底面近くまで除去し、ミラーポリッシング仕上げを行って、分離されたアイランドを有する誘電体分離ウェーハの製造方法において、前記ミラーポリッシングの条件をアイランドの表面より分離酸化膜の表面が0.1~0.5 μ m突出する条件としたことを特徴とする。

【0008】さらに具体的には、ミラーポリッシング工程において、研磨用クロスが表面が、毛先の長い柔らかい材質のものをを用いて薬液、時間、加圧を調節することにより所望の酸化膜の突出量を得ることができる。

【0009】

【作用】上記の構成によると、ミラーポリッシング時に、機械的エッチングよりもポリッシング材と研磨用クロスの摩擦反応によるケミカルエッチングが進み易くなり、シリコンあるいはポリシリコン面の方が分離酸化膜よりエッチングされるため、分離酸化膜がシリコン、ポリシリコン面より高くなる。従って、フィールド酸化膜と分離酸化膜の段差が小さくなり、Al配線の断切れが防止できる。

【0010】また圧力をかけて、エッチングが進む機械的エッチングの作用が弱くなるため、ウェーハ面内のエッチングが均一に進むようになり、シリコンアイランドサイズのウェーハ面内のばらつきを低減することができる。

【0011】

【実施例】以下、この発明について図面を参照して説明する。

【0012】図13はこの発明の一実施例のICウェーハの断面図である。従来例である図5と同じ部分には同一符号を付して、説明を略す。

【0013】次に工程を追って断面構造について説明する。

【0014】(1) 図1はミラーポリッシング前の状態で分離酸化膜2がシリコン1とポリシリコン8に囲まれていて、実線12の位置まで研磨済みであり、点線13はその後のミラーポリッシング予定位置を示す。

【0015】(2) その後ポリッシングにより、シリコンアイランド1を分離酸化膜2で完全に分離するまで研磨する。ポリッシング完了後、分離酸化膜2は、シリコンアイランド1及びポリシリコン8面より凸に高く形成される。(図2参照)

また、ケミカルエッチが進むことによりウェーハ面内は均一に研磨されるため、アイランドサイズの面内ばらつきが小さくなる。(図4参照)

本実施例においては、ミラーポリッシングに用いるクロスの毛先15aが細く、長く、柔らかいものを用いたので、分離酸化膜2の研磨が進まず、シリコン1やポリシリコン8の部分のエッチングが進むので、分離酸化膜2が突出して、形成される。(図3参照)

その後、従来同様厚いフィールド酸化膜を成長させ、集積回路を形成しても酸化膜の段差は緩和されているので断線しにくくなっている。また、ミラーポリッシングの圧力を小さくするので研磨しろのばらつきは小さくウェーハ面内全面にわたって、特性の良い素子を形成することができる。ミラーポリッシング工程後の分離酸化膜2はシリコンアイランド部1の表面より、本実施例においては0.2 μ mの突出としたが必要によりこれは0.1~0.5 μ mの範囲で選択することができる。

【0016】すなわち、0.1 μ mより小さい場合は、フィールド酸化膜3が薄めの場合でも、0.5 μ m程度あるのであまり役に立たない。

【0017】また、0.5 μ m以上とすることは本発明の方法では困難である。

【0018】

【発明の効果】以上説明したように、この発明はミラーポリッシングにより誘電体分離を行う工程で、分離酸化膜をシリコンアイランド及びポリシリコン表面より0.1~0.5 μ m高く残すことで特にシリコンのエッチング工程を設けることなくアルミ配線の断切れを防ぐことができる。

【図面の簡単な説明】

【図1】 この発明の一実施例のミラーポリッシング前のICウェーハ断面図。

【図2】 図1のICウェーハのポリッシング後の断面図。

【図3】 本発明の実施例にて使用した研磨用クロスの断面図。

【図4】 図2のICウェーハにおいて、ウェーハ面内のシリコンアイランドサイズを示す平面図。

【図5】 従来のICのウェーハ断面図。

【図6】 図5のICにおいて、異方性エッチング完了後のウェーハ断面図。

【図7】 図5のICにおいて、ポリシリコン成長後のウェーハ断面図。

【図8】 従来のポリッシングに使用した研磨用クロスの断面図。

【図9】 従来の分離酸化膜を突出させたウェーハの断面図。

【図10】 図3の研磨用クロスを用いてポリッシュしてフィールド酸化膜工程まで進めた断面図。

【図11】 図10のウェーハを不純物拡散等を行い、素子形成完了まで進めた断面図。

【図12】 図10のウェーハをアルミ配線工程まで進めた断面図。

【図13】 図10のウェーハをパッシベーションを行い、ICとして完成させたウェーハの断面図(本発明のICのウェーハ断面図)。

【符号の説明】

50 1 N型シリコンからなるシリコンアイランド

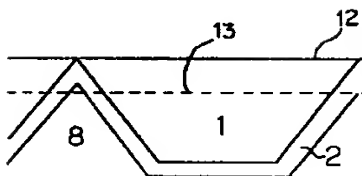
(4)

特開平5-283515

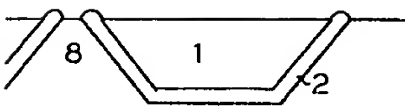
- 2 分離酸化膜
3 フィールド酸化膜
4 アルミ配線
5 P型層
6 N型層
7 パッシベーション膜
8 ポリシリコン

- 9 異方性エッチングマスク用酸化膜
10 <100>結晶軸N型シリコンウェーハ
11 ミラーポリッシング用クロス (従来のもの)
12 研磨面
13 ミラーポリッシング予定面
15 ミラーポリッシング用クロス (本発明のもの)
15a ミラーポリッシング用クロスの毛先

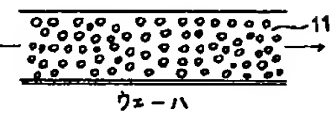
【図1】



【図2】



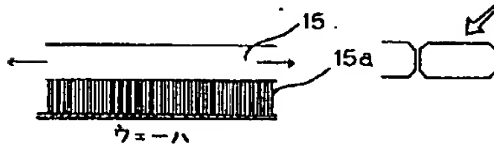
【図8】



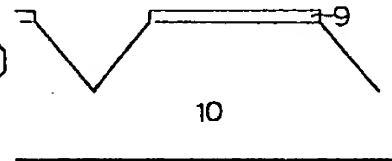
【図4】

【図6】

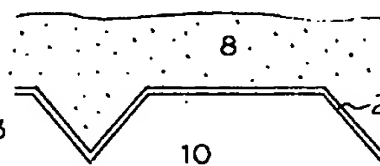
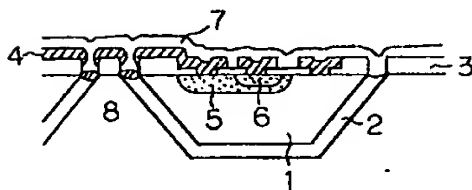
【図3】



【図7】

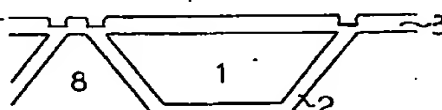
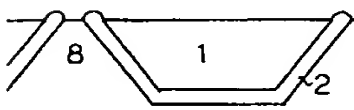


【図5】



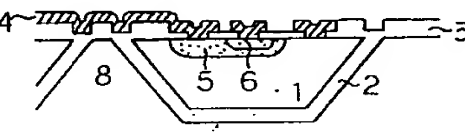
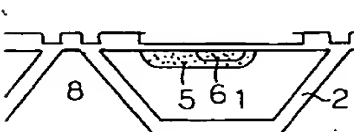
【図9】

【図10】



【図11】

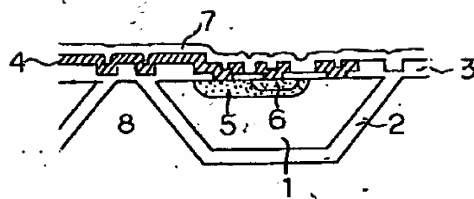
【図12】



(5)

特開平5-283515

【図13】



THIS PAGE BLANK (USPTO)